

PATENT
81784.0294

Express Mail Label No. EV 324 111 168 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yoshihiro OKADA

Serial No: Not assigned

Filed: November 13, 2003

For: Solid State Imaging Device With Lateral
Overflow Drain and Driving Method Thereof
Achieving Low Power Consumption

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-332571 which was filed November 15, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By: 

Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

Date: November 13, 2003

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年11月15日

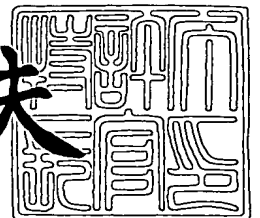
出願番号
Application Number: 特願2002-332571
[ST. 10/C]: [JP2002-332571]

出願人
Applicant(s): 三洋電機株式会社

2003年 9月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3075483

【書類名】 特許願

【整理番号】 KIB1020042

【提出日】 平成14年11月15日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 岡田 吉弘

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100075258

【弁理士】

【氏名又は名称】 吉田 研二

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100096976

【弁理士】

【氏名又は名称】 石田 純

【電話番号】 0422-21-2340

【手数料の表示】

【予納台帳番号】 001753

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像素子及びその駆動方法

【特許請求の範囲】

【請求項 1】 半導体基板の一主面に所定の間隔で互いに平行に第 1 の方向に延在して配置される一導電型のチャネル領域と、

高濃度の一導電型を有し、隣接するチャネル領域の間で前記第 1 の方向に延在して配置される複数のドレイン領域と、

前記チャネル領域及び前記ドレイン領域の間隙に配置される逆導電型の分離領域と、

前記半導体基板上で前記第 1 の方向と交差する第 2 の方向に延在して互いに平行に配置される複数の転送電極と、を備え、

前記分離領域は、適数本毎の転送電極のうちの少なくとも 1 つの転送電極下の領域で他の転送電極下の領域よりも幅が狭いことを特徴とする固体撮像素子。

【請求項 2】 請求項 1 に記載の固体撮像素子において、

前記複数の転送電極は、前記適数本毎に前記複数のチャネル領域のそれぞれに受光画素の 1 つを定義することを特徴とする固体撮像素子。

【請求項 3】 半導体基板の一主面に所定の間隙を設けて互いに平行に配置される複数のチャネル領域間にドレイン領域が配置され、前記チャネル領域と前記ドレイン領域との間隙に分離領域が配置されると共に、前記半導体基板上に複数の転送電極が配置され、前記分離領域が適数本毎の転送電極のうちの少なくとも 1 つの転送電極下の領域で他の領域よりも幅が狭い固体撮像素子の駆動方法において、

前記複数の転送電極のうち、幅の狭い分離領域上に形成される転送電極に印加する第 1 のクロックパルスを立ち上げて、前記幅の狭い分離領域に隣接する前記チャネル領域に情報電荷を蓄積する蓄積ステップと、

周期的に電位を変動させるクロックパルスを前記複数の転送電極へ与えて、前記蓄積ステップで蓄積された情報電荷を転送する転送ステップと、を有することを特徴とする固体撮像素子の駆動方法。

【請求項 4】 請求項 3 に記載の固体撮像素子の駆動方法において、

前記転送ステップの間に、

前記第1のクロックパルスを立ち上げたまま、前記ドレイン領域へ印加する第2のクロックパルスを立ち上げて、前記蓄積ステップで蓄積された情報電荷の一部を前記ドレイン領域へ排出し、前記チャネル領域の蓄積電荷量を制限する制限ステップを、更に有することを特徴とする固体撮像素子の駆動方法。

【請求項5】 請求項3に記載の固体撮像素子の駆動方法において、

前記第1のクロックパルスを立ち下げると共に、前記ドレイン領域へ印加する第2のクロックパルスを立ち上げて、前記蓄積ステップで蓄積された情報電荷を前記ドレイン領域へ排出する排出ステップを、更に有することを特徴とする固体撮像素子の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CCD固体撮像素子及びその駆動方法に関し、特に横型オーバーフロードレインの低消費電力化に関する。

【0002】

【従来の技術】

固体撮像素子では、撮像部において情報電荷が過剰に発生すると、情報電荷が周辺画素に溢れるブルーミングという現象を生じる。このブルーミングを抑制するために、不要な情報電荷を排出するオーバーフロードレイン構造が設けられる。オーバーフロードレイン構造には、縦型オーバーフロードレインと横型オーバーフロードレインとがある。

【0003】

このうち横型オーバーフロードレインは専らフレーム転送方式のCCD固体撮像素子で用いられる。図5は、フレーム転送方式のCCD固体撮像素子の概略の構成図である。フレーム転送方式のCCD固体撮像素子2は、撮像部2i、蓄積部2s、水平転送部2h及び出力部2dを有する。撮像部2iで生成された情報電荷の2次元配列は蓄積部2sに高速で転送される。情報電荷は蓄積部2sに保持されると共に、1行ずつ水平転送部2hへ転送され、さらに、1画素単位で水

平転送部 2 h から出力部 2 d へ転送される。出力部 2 d は 1 画素毎の電荷量を電圧値に変換し、その電圧値の変化が C C D 出力とされる。

【 0 0 0 4 】

撮像部 2 i 及び蓄積部 2 s はそれぞれ、垂直方向に延在して互いに平行に配置された複数のチャネル領域と、水平方向に延在して互いに平行に配置された複数の転送電極とを含んで構成された複数の垂直シフトレジスタからなる。

【 0 0 0 5 】

横型オーバーフロードレイン構造の C C D 固体撮像素子の場合、隣接する垂直シフトレジスタの間にドレイン領域が形成され、横型のオーバーフロードレイン構造が形成される。

【 0 0 0 6 】

図 6 は、従来の横型オーバーフロードレイン構造を採用したフレーム転送方式の C C D 固体撮像素子の撮像部 2 i 又は蓄積部 2 s の一部を示す模式的な平面図である。垂直シフトレジスタのチャネル領域 4 のうち、隣接するチャネル領域間のほぼ中央位置にドレイン領域 8 が設けられ、このドレイン領域 8 とチャネル領域 4 との間に分離領域 1 0 が設けられる。ドレイン領域 8 は、チャネル領域 4 と平行に配置され、高濃度の N 型不純物が一定幅でイオン注入されることによって形成される。分離領域 1 0 は、チャネル領域 4 とドレイン領域 8 との間に P 型不純物がイオン注入されることによって形成され、チャネル領域 4 とドレイン領域 8 との間にポテンシャルの障壁を形成する。

【 0 0 0 7 】

転送電極 1 2 は、半導体基板上に酸化膜を介して形成され、チャネル領域 4 と交差する方向に延在して配置される。これら複数の転送電極 1 2 は、それぞれが絶縁されて互いに平行に配置され、それぞれに垂直転送クロック ϕ_f を受ける。この垂直転送クロック ϕ_f が転送電極 1 2 に印加されることによって、チャネル領域 4 に形成されるポテンシャルの井戸の状態が制御され、蓄積された情報電荷が順次転送される。

【 0 0 0 8 】

例えば 3 相駆動の場合、クロックパルス ϕ_1 , ϕ_2 , ϕ_3 がそれぞれ転送電極 1

2-1~12-3に印加される。つまり、3相駆動では、3本の転送電極12-1~12-3が1画素に割り当てられ、3本の転送電極12-1~12-3のセット毎に1つの受光画素、あるいは、情報電荷が定義される。

【0009】

撮像時には例えばクロックパルス ϕ_2 がHレベルに立ち上げられ、撮像部2iの転送電極12-2の下にポテンシャル井戸が形成される。半導体基板に入射した光により発生した情報電荷は、その近傍のポテンシャル井戸に移動し、そのポテンシャル井戸に蓄積される。

【0010】

また、互いに位相の異なるクロックパルス $\phi_1 \sim \phi_3$ によって、転送電極12の下に形成されるポテンシャル井戸を一定方向に移動させることができ、これにより、ポテンシャル井戸に蓄積された情報電荷が、チャネル領域4を転送経路として(図6において例えば下方向へ)転送される。

【0011】

図7は、図5に示すX-X断面の模式的な断面図及び、その断面に対応する部分でのポテンシャルの状態を並べて示したものである。図7(a)が断面図であり、それぞれチャネル領域4、ドレイン領域8、分離領域10に対応するNウェル20、N+拡散層22、P-拡散層24がP型半導体基板 P_{sub} の表面に形成される。基板表面にはゲート酸化膜26を介して転送電極12が配置される。図7(b)がポテンシャルの状態を示す図であり、縦軸が電位を表し、下に向かって正電位が増す。Nウェル20は転送電極12に印加される電圧によって空乏化されポテンシャル井戸30を形成する。このポテンシャル井戸30に情報電荷32を蓄積することができる。N+拡散層22は正電位のドレイン34を形成し、また分離領域10であるP-拡散層24は、転送チャネルのポテンシャル井戸30とドレイン34との間にポテンシャル障壁36を形成する。

【0012】

ドレイン領域8には、排出クロック ϕ_b が印加され、この排出クロック ϕ_b は、通常時Lレベル(例えば、5V)に立ち下げられている。こういった状態で、チャネル領域4とドレイン領域8との間には、分離領域10によってポテンシャル

の障壁 36 が形成される。例えば、CCD 固体撮像素子に、過大な光が照射されてチャネル領域に大量の情報電荷が発生した場合、チャネル領域の蓄積許容量を超える電荷がポテンシャルの障壁 36 を越えてドレイン領域 8 側に流出して排出される。このような動作により、余剰電荷が周辺画素に漏れ出して画像を乱すといったブルーミングが抑制される。

【0013】

上述の構造を用いて、電子シャッタ動作を行うこともできる。この動作では、ドレイン領域 8 に印加する排出クロック ϕ_b を H レベルに立ち上げると共に、転送電極 12 に印加されている垂直転送クロック ϕ_f を L レベルに立ち下げる。この結果、チャネル領域 4 中のポテンシャルの井戸が浅くなると共に、チャネル領域 4 とドレイン領域 8 との間の障壁が引き下げられる（図中 36'）。これにより、ポテンシャルの勾配に沿って情報電荷が移動し、チャネル領域 4 に蓄積されていた情報電荷が分離領域 10 を経由してドレイン領域 8 側へ一括的に排出される。この動作により、撮像部 2 i や蓄積部 2 s に蓄積されていた情報電荷が全て排出され、撮像部 2 i ではその時点から新たな露光期間が開始される。

【0014】

【発明が解決しようとする課題】

近年、例えばデジタルカメラや写真撮影機能付き携帯電話といった、CCD 固体撮像素子を用いた小型軽量の機器が開発されている。小型軽量の機器ではバッテリーも小型化されるため、低消費電力化が望まれる。ここで、従来、横型オーバーフロードレインの動作のためにドレイン領域 8 に印加されているクロックパルスの電圧は比較的高い電圧であり、消費電力の低減の余地がある。

【0015】

ここでドレイン領域に印加するクロックパルスを低電圧化すれば、横型オーバーフロードレインでの消費電力は低減される。しかし、分離領域が従来のままではチャネル領域とドレイン領域との間のポテンシャル障壁が十分に下がらず、余剰電荷の排出動作や電子シャッタ動作が不完全となるという問題があった。

【0016】

一方、分離領域の幅を薄くすれば、低電圧化されたクロックパルスでも目的と

する余剰電荷の排出や電子シャッタ動作を行うことができる。しかし、その場合には、ドレイン領域とチャネル領域との間のポテンシャルの障壁が低くなり、情報電荷が垂直シフトレジスタ内を転送されている間にドレイン領域に漏れ出し減少するという問題があった。

【0017】

本発明は上記問題点を解決するためになされたもので、横型オーバーフロードレインを動作させるクロックパルスの電圧振幅を低減して、CCD固体撮像素子の電力消費を低減しつつ、良好なオーバーフロードレイン機能及び電子シャッタ機能が達成され、良好な画質が得られるCCD固体撮像素子及びその駆動方法を提供することを目的とする。

【0018】

【課題を解決するための手段】

上記課題を解決するための本発明は、半導体基板の一主面に所定の間隔で互いに平行に第1の方向に延在して配置される一導電型のチャネル領域と、高濃度の一導電型を有し、隣接するチャネル領域の間で前記第1の方向に延在して配置される複数のドレイン領域と、前記チャネル領域及び前記ドレイン領域の間隙に配置される逆導電型の分離領域と、前記半導体基板上で前記第1の方向と交差する第2の方向に延在して互いに平行に配置される複数の転送電極とを備え、前記分離領域は、適数本毎の転送電極のうちの少なくとも1つの転送電極下の領域で他の転送電極下の領域よりも幅が狭いことを特徴とする固体撮像素子である。

【0019】

本発明によれば、チャネル領域とドレイン領域との間に設けられる分離領域の幅（チャネル領域とドレイン領域とを隔てる距離）が部分的に狭く（すなわちポテンシャル障壁の壁の厚みが薄く）形成され、残りの部分が幅が広く（すなわちポテンシャル障壁が厚く）形成される。幅が狭く形成された第1領域は、幅が広く形成された第2領域よりポテンシャル障壁がドレイン領域の電圧の影響を受けやすい。すなわち、ドレイン領域にクロックパルスを印加して情報電荷をチャネル領域から排出させる場合において、クロックパルスの電圧を低電圧化しても第1領域にて電荷排出を行わせることができる。一方、第1領域は分離領域の一部

のみであり、他の部分は第2領域で構成されるので、転送効率を劣化させることなく、情報電荷を転送することができる。

【0020】

ここで、上記固体撮像素子において、前記複数の転送電極は、前記適数本毎に前記複数のチャンネル領域のそれぞれに受光画素の1つを定義することが好適である。

【0021】

本形態ではチャンネル領域に沿った画素の配列周期に応じた間隔で第1領域が設けられる。これによりチャンネル領域に並ぶ複数の情報電荷に対して同時に第1領域を介した情報電荷の排出を行うことができる。

【0022】

上記課題を解決するための本発明の別の形態は、半導体基板の一主面に所定の間隙を設けて互いに平行に配置される複数のチャンネル領域間にドレイン領域が配置され、前記チャンネル領域と前記ドレイン領域との間隙に分離領域が配置されると共に、前記半導体基板上に複数の転送電極が配置され、前記分離領域が適数本毎の転送電極のうちの少なくとも1つの転送電極下の領域で他の領域よりも幅が狭い固体撮像素子の駆動方法において、前記複数の転送電極のうち、幅の狭い分離領域上に形成される転送電極に印加する第1のクロックパルスを立ち上げて、前記幅の狭い分離領域に隣接する前記チャンネル領域に情報電荷を蓄積する蓄積ステップと、周期的に電位を変動させるクロックパルスの前記複数の転送電極へ与えて、前記蓄積ステップで蓄積された情報電荷を転送する転送ステップとを有することを特徴とする。

【0023】

本形態では、チャンネル領域のうち幅の狭い分離領域である第1領域に隣接する部分にポテンシャル井戸が形成され、このポテンシャル井戸に光電変換で発生した情報電荷が蓄積される。これによれば、例えば、入射光量が多いなどにより過剰な情報電荷が発生した場合には、第1領域がこのポテンシャル井戸に隣接することにより、余剰電荷の排出の制御が容易となり、また効率的に排出が行われる。

。

【0024】

また、上記固体撮像素子の駆動方法において、前記転送ステップの間に、前記第1のクロックパルスを立ち上げたまま、前記ドレイン領域へ印加する第2のクロックパルスを立ち上げて、前記蓄積ステップで蓄積された情報電荷の一部を前記ドレイン領域へ排出し、前記チャネル領域の蓄積電荷量を制限する制限ステップを、更に有することが好適である。

【0025】

本発明は、第一のクロックパルスが立ち上げられたまま、第2のクロックパルスが立ち上げられて、チャネル領域に蓄積された情報電荷が転送される前に、蓄積電荷の一部がドレイン領域へ排出されて、蓄積電荷量が制限される。このため、情報電荷を転送する際に、転送経路中に第1領域に隣接するチャネル領域があったとしても、情報電荷がドレイン領域に漏れ出すことがなくなり、転送効率を劣化させることなく、情報電荷を転送することができる。

【0026】

さらに、上記固体撮像素子の駆動方法において、前記第1のクロックパルスを立ち下げると共に、前記ドレイン領域へ印加する第2のクロックパルスを立ち上げて、前記蓄積ステップで蓄積された情報電荷を前記ドレイン領域へ排出する排出ステップを、更に有することが好適である。

【0027】

本発明においては、情報電荷が、チャネル領域のうち第1領域に隣接する部分に保持された状態で、第1のクロックパルスが立ち下げられると共に、第2のクロックパルスが立ち上げられることで、チャネル領域のポテンシャル井戸が消失され、そこに蓄積していた情報電荷が基本的に全部、第1領域を経由してドレイン領域に排出される。つまり、CCD固体撮像素子の撮像部又は蓄積部に蓄積されていた情報電荷を全て排出してリセットする電子シャッタが実現される。

【0028】**【発明の実施の形態】**

次に、本発明の実施形態であるフレーム転送方式のCCD固体撮像素子について図面を参照して説明する。フレーム転送方式のCCD固体撮像素子の概略の構

成は図 5 に示す通りであり、これを援用する。フレーム転送方式の C C D 固体撮像素子は、撮像部 2 i、蓄積部 2 s、水平転送部 2 h 及び出力部 2 d を有する。撮像部 2 i は、垂直方向に延在し、互いに平行に配列された複数のシフトレジスタからなり、各シフトレジスタの各ビットがフォトダイオードとして機能し受光画素を構成する。蓄積部 2 s は、撮像部 2 i のシフトレジスタに連続する遮光された複数のシフトレジスタからなり、各シフトレジスタの各ビットが蓄積画素を構成する。水平転送部 2 h は、水平方向に延在する単一のシフトレジスタからなり、各ビットに蓄積部 2 s のシフトレジスタの出力が接続される。出力部 2 d は、水平転送部 2 h から転送出力される電荷を一時的に蓄積する容量及びその容量に蓄積された電荷を排出するリセットドレインを含む。これにより、撮像部 2 i の各受光画素に蓄積される情報電荷は、各画素毎に独立して蓄積部 2 s の蓄積画素へ転送された後、1 行ずつ蓄積部 2 s から水平転送部 2 h へ転送され、さらに、1 画素単位で水平転送部 2 h から出力部 2 d へ転送される。そして、出力部 2 d で 1 画素毎の電荷量が電圧値に変換され、その電圧値の変化が C C D 出力として外部回路へ供給される。

【 0 0 2 9 】

撮像部 2 i 及び蓄積部 2 s を構成する複数の垂直シフトレジスタのチャンネル領域の各チャンネル領域間には、ドレイン領域が設けられ、横型オーバーフロードレイン構造が作り込まれる。

【 0 0 3 0 】

図 1 は、本発明に係る横型オーバーフロードレイン構造を採用したフレーム転送方式の C C D 固体撮像素子の撮像部 2 i 又は蓄積部 2 s の一部を示す模式的な平面図である。

【 0 0 3 1 】

垂直シフトレジスタのチャンネル領域 5 0 のうち、隣接するチャンネル領域間のほぼ中央位置にドレイン領域 5 4 が設けられ、このドレイン領域 5 4 とチャンネル領域 5 0 との間に分離領域 5 6 が設けられる。ドレイン領域 5 4 は、チャンネル領域 5 0 と平行に配置され、高濃度の N 型不純物が一定幅でイオン注入されることによって形成される。分離領域 5 6 は、チャンネル領域 5 0 とドレイン領域 5 4 との

間にP型不純物がイオン注入されることによって形成され、チャンネル領域50とドレイン領域54との間にポテンシャルの障壁を形成する。

【0032】

本CCD固体撮像素子の大きな構造上の特徴は、分離領域56に一部、幅が狭い部分が形成される点にある。この部分ではチャンネル領域50とドレイン領域54との間のポテンシャル障壁が薄くなる。以下、当該部分を第1領域60、それ以外の相対的にポテンシャル障壁が厚い部分を第2領域62と称する。図1に示す構成では、分離領域52の幅を第1領域60に対応する部分で他の部分より細く形成し、具体的には、第1領域60の幅が $0.1 \sim 0.2 \mu\text{m}$ 程度で、第2領域62の幅が $0.3 \sim 0.5 \mu\text{m}$ 程度であり、第2領域の幅については、従来の分離領域と同程度である。一方、ドレイン領域54は、一定幅で形成され、 $0.3 \sim 0.5 \mu\text{m}$ 程度である。これら第1領域60、第2領域62及びドレイン領域54の幅は、情報電荷の転送効率やドレイン領域への排出効率を考慮して検証した結果、第1領域60の幅が $0.2 \mu\text{m}$ 、第2領域62の幅が $0.4 \mu\text{m}$ 、そして、ドレイン領域54の幅が $0.4 \mu\text{m}$ で、それぞれ最適値となる。

【0033】

本素子は例えば3相駆動であり、垂直転送クロック ϕ_1 、 ϕ_2 、 ϕ_3 がそれぞれ印加される転送電極12-1～12-3が上述のチャンネル領域50、ドレイン領域54、分離領域56の上に、それらが延在する方向とは交差する向きに配置される。3相駆動の場合、転送電極12-1～12-3の3本の転送電極からなるセットが撮像部2i及び蓄積部2sにおける1画素に対応付けられる。第1領域60はこれら3本の転送電極のうちの1本、例えば転送電極12-2を配置する位置に設けられる。ここで、第1領域60の長さ（図1において縦方向の寸法）は転送電極12-2の幅にほぼ一致するように形成される。また、1画素に対応する3本の転送電極の各セット毎に1つの第1領域60が設けられる。

【0034】

図2は、本素子の横型オーバーフロードレイン部分の形成を説明するプロセスフロー図である。P型半導体基板80（ P_{sub} ）に絶縁膜82を積層した後、さらにポリシリコン膜、窒化シリコン膜を積層する。その後、ポリシリコン膜及び

窒化シリコン膜をパターンニングして、ポリシリコン 84 及び窒化シリコン 86 が積層されたマスク 88 を形成する。このマスク 88 は後述するいくつかのイオン注入工程において利用される。マスク 88 の一方の側壁 90 はチャネル領域 50 を形成する N 型不純物のイオン注入の領域を規定し、他方の側壁 92, 92' は分離領域 52 を形成する P 型不純物のイオン注入の領域を規定する。ここで、側壁 92 が第 2 領域 62 に対応し、側壁 92' が第 1 領域 60 に対応する（図 2（a））。

【0035】

マスク 88 が形成された半導体基板 80 上にレジストを塗布し露光して、レジストパターン 94 を形成する。このレジストパターン 94 は、分離領域 52 が形成される基板領域（互いに対向する側壁 92 間、及び側壁 92' 間）を覆う。これらマスク 88 及びレジストパターン 94 をマスクとして、N 型不純物をイオン注入し、N 型不純物領域 96 を形成する（図 2（b））。N 型不純物領域 96 の境界は基本的にマスク 88 の側壁 90 の下に位置している。N 型不純物領域 96 は、レジストパターン 94 を除去した後、熱処理を行うことによって拡散されて、チャネル領域 50 である N ウェル 98 を形成する（図 2（c））。拡散により、N 型不純物領域 96 は深さ方向に押し込まれると共に、水平方向にも広がり、マスク 88 の側壁 92, 92' の下にエッジが位置するように N ウェル 98 が形成される。

【0036】

次に、N ウェル 98 が形成された半導体基板 80 上にレジストを塗布し露光して、レジストパターン 100 を形成する。このレジストパターン 100 は、N ウェル 98 が形成された領域（互いに対向する側壁 90 間）を覆う。このレジストパターン 100 とマスク 88 とをマスクとして、P 型不純物をイオン注入し、分離領域 52 に相当する P+ 拡散層 102 を形成する（図 2（d））。上述のようにマスク 88 の側壁 92' が他の部分の側壁 92 より突出していることにより、側壁 92' で挟まれる部分での P+ 拡散層 102 の幅は、側壁 92 で挟まれる部分での幅より小さくなる。

【0037】

P+拡散層 102 の幅方向の中央部分には、ドレイン領域 54 を形成するための N 型不純物がイオン注入され、そのイオン注入がされなかった部分が分離領域 56 となる。分離領域 56 の幅は第 1 領域 60、第 2 領域 62 のいずれにおいても微細であり、この微細な幅をマスクするために、マスク 88 の両脇にサイドウォール 104 が形成される (図 2 (e))。このサイドウォール 104 は、レジストパターン 100 を除去した後、半導体基板 80 上に酸化膜を積層し、この酸化膜に等方性エッチング処理を施して形成される。このサイドウォール 104 の厚みが分離領域 56 の幅を規定し、第 1 領域 60 に対応する部分ではサイドウォール 104 は薄く形成される。例えば、酸化膜形成後、互いに対向する側壁 92' の間に開口を有するマスクを被着させ、このマスクを付けたまま酸化膜のエッチングを少し行った後、そのマスクを除去して、さらに酸化膜のエッチングを行う。これにより側壁 92 より側壁 92' に対応する部分で酸化膜のエッチング量を多くし、サイドウォール 104 の厚みを薄くすることができる。

【0038】

このようにサイドウォール 104 を形成した後、再び、半導体基板 80 上にレジストを塗布し露光してレジストパターン 106 を形成する。このレジストパターン 106 は、N ウェル 98 が形成された領域を覆う。このレジストパターン 106、マスク 88、及びサイドウォール 104 をマスクとして、N 型不純物をイオン注入し、分離領域 52 に相当するの中央部分にドレイン領域 54 に相当する N+拡散層 108 を形成する (図 2 (f))。また、P+拡散層 102 のうちサイドウォール 104 によりマスクされ N 型不純物が注入されずに残った P+拡散層 110 がそれぞれ分離領域 56 となる。

【0039】

レジストパターン 106、窒化シリコン 86、及びポリシリコン 84 を順次、除去した後 (図 2 (g))、従来の CCD 固体撮像素子と同様の製造工程によって、転送電極や保護膜の形成が行われる。

【0040】

次に本素子の駆動方法について説明する。図 3 は、撮像部 2 i を構成する垂直シフトレジスタでのポテンシャルの状態を示す図である。図 3 には時刻 $t_1 \sim t_4$

での電位分布が縦に並べて示されている。図3 (a) は、各時刻でのチャンネルに沿った電位変化を表し、図3 (b) は垂直転送クロック ϕ_{f2} を印加される転送電極 12-2 の位置での図1のX-X断面に沿った電位変化を表す。各電位分布図では縦軸が電位を表し、下に向かって正電位が増す。また図4は、図3の動作に対応した垂直転送クロック $\phi_{f1} \sim \phi_{f3}$ 及びドレイン領域54に印加する排出クロック ϕ_b のタイミング図である。

【0041】

ここでは、分離領域56の第1領域60に隣接するチャンネル領域50にポテンシャル井戸を形成して、ここに光電変換によって発生した情報電荷を集積する。つまり、時刻 t_1 において、垂直転送クロック ϕ_{f2} をHレベルに立ち上げて転送電極12-2の下にNウェル98に空のポテンシャル井戸150が形成される。チャンネル方向に関しては、Lレベルの ϕ_{f1} , ϕ_{f3} により転送電極12-1, 12-3の下に形成される浅いポテンシャルが障壁となって、隣り合うポテンシャル井戸150が隔てられる(図3(a)参照)。またチャンネルに直交する方向に関しては、チャンネル領域50(Nウェル98)に隣接する分離領域56(P+拡散層110)がドレイン領域54(N+拡散層108)との間にポテンシャル障壁を形成する。ここで、転送電極12-2の位置での分離領域56は第1領域60であり、図3(b)の時刻 t_1 に対応する図には、第1領域60が形成するポテンシャル障壁154が実線で示されている。ちなみに同図には、 ϕ_{f1} , ϕ_{f3} をHレベルに立ち上げて転送電極12-1, 12-3の下にポテンシャル井戸を形成した場合に、第2領域62により形成されるポテンシャル障壁156が対比のために点線で示されている。また図3(a)の時刻 t_1 に対応する図には、ポテンシャル障壁154, 156それぞれのピークレベル158, 160が点線で示されている。ポテンシャル障壁154, 156のピークはバリア電位152より高い障壁を有する。また一般に、第1領域60のポテンシャル障壁154は第2領域62のポテンシャル障壁156と同じか、それより幾分低くなる。

【0042】

ポテンシャル井戸150には転送電極12-2及びその近傍で発生した情報電荷162が集まり、ポテンシャル井戸150の電位は次第に浅くなる。入射光強度

の大きい画素では、情報電荷の蓄積によって転送電極 12-2 の下のポテンシャルが、隣接する転送電極 12-1, 12-3 の下のバリア電位 152 に近づき得る。時刻 t_2 のポテンシャル井戸に蓄積された情報電荷 164 はその状態を示している。ポテンシャル井戸 150 が完全に電子で満たされてしまうと、さらに発生した情報電荷は近隣の転送電極 12-1, 12-3 に広がり、さらには他の画素のポテンシャル井戸にまで達する。これがブルーミング現象であり、これを防止するために、横型オーバーフロードレイン構造が採用されている。

【0043】

時刻 t_3 には、図 4 に示すように、ドレイン領域 54 に印加される排出クロック ϕ_b が L レベルから H レベルに立ち上げられると共に、転送電極 12-2 に印加される垂直転送クロック ϕ_{f2} が H レベルから L レベルに立ち下げられて電子シャッタ動作が行われる。この結果、図 3 (b) の時刻 t_3 に対応する図に示すように、チャンネル領域 50 のポテンシャルが浅く引き下げられて消滅すると共に、第 1 領域 60 のポテンシャル障壁が低く引き下げられる。これにより、チャンネル領域 50 のポテンシャル井戸 150 に蓄積された情報電荷がドレイン領域 54 へ一括的に排出される。排出クロック ϕ_b としては、第 1 領域 60 の幅が狭く元々ポテンシャルのピークが低いため、このピークの低いポテンシャル障壁を引き下げることができる程度の電圧に立ち上げられれば良く、従来のように分離領域の全てが一定幅で構成されていた場合と比べて、H レベルの電圧を低く抑えることができる。このように、本素子においては、低い電圧の排出クロック ϕ_b で電子シャッタ動作を行うことができ、消費電力を低減化することができる。

【0044】

電子シャッタ動作が終了すると蓄積期間が開始され、図 4 に示すように、排出クロック ϕ_b が L レベルに立ち下げられると共に、垂直転送クロック ϕ_{f2} が再び H レベルに立ち上げられる。これにより、図 3 (a) の時刻 t_4 に対応する図のように、ポテンシャル井戸 150 が形成されると共に、第 1 領域 60 及び第 2 領域 62 のポテンシャル障壁が形成される。このため、電子シャッタ動作が終了した後に発生する情報電荷がポテンシャル井戸 150 に蓄積され、時刻 t_2 と同等の状態となる。

【0045】

時刻 t_5 には、ドレイン領域 54 に印加される排出クロック ϕ_b が L レベルから H レベルに立ち上げられる。分離領域 56 が形成するポテンシャル障壁は、ドレイン領域 54 に印加される電圧によって変調を受ける。具体的には、排出クロック ϕ_b が L レベルのタイミングでは、第 1 領域 60 において上述のようにポテンシャル障壁 154 を生じていたところ、排出クロック ϕ_b が H レベルに立ち上げられるとポテンシャル障壁は引き下げられる。図 3 (b) の時刻 t_5 に対応する図はその状態を示しており、第 1 領域 60 にはポテンシャル障壁 154 及びバリア電位 152 のいずれよりも低いポテンシャル障壁 166 が形成される。ちなみに同図には、垂直転送クロック ϕ_{f1} , ϕ_{f3} を L レベルに立ち下げて転送電極 12-1, 12-3 の下にポテンシャル井戸を形成した場合に第 2 領域 62 により形成されるポテンシャル障壁 168 が対比のために点線で示されている。また図 3 (a) の時刻 t_3 に対応する図には、ポテンシャル障壁 166, 168 それぞれのピーク電位レベル 170, 172 が点線で示されている。垂直転送クロック ϕ_{f2} を H レベルに立ち上げたままで排出クロック ϕ_b を H レベルに立ち上げることにより、第 1 領域 60 のポテンシャル障壁は、バリア電位 152 より引き下げられる。

【0046】

これにより、ポテンシャル井戸 150 に蓄積される情報電荷のうち電位レベル 170 を越える分は第 1 領域 60 を介してドレイン領域 54 へ排出され、蓄積電荷量が制限される。

【0047】

このように、ポテンシャル井戸 150 に蓄積される情報電荷の蓄積量を制限することで、情報電荷の転送中に、情報電荷がドレイン領域 54 へ漏れ出すのを防ぐことができる。すなわち、転送経路であるチャネル領域 50 に隣接する分離領域において、第 1 領域 60 は、ポテンシャル障壁が薄く、第 2 領域 62 に比して情報電荷がドレイン領域 54 へ漏れ出し易くなっている。この場合、転送中に第 1 領域 60 部分を通過する回数が多い情報電荷ほど電荷量が減少してしまう。そこで、情報電荷を転送する前に蓄積電荷量を減らして制限することで、情報電荷

の転送中に蓄積電荷量がドレイン領域 54 へ漏れ出さないようにしている。

【0048】

以上、本発明の実施の形態を説明した。本実施形態においては、幅の狭い第1領域 60 及び幅の広い第2領域 62 を形成する際、図1に示すように、分離領域 56 とチャンネル領域 50 との接合面に凹凸を付けて形成したが、これに限られるものではない。例えば、図5に示すように、分離領域 56 とチャンネル領域 50 との接合面を直線形状にしたまま、ドレイン領域 54 の幅を変更して第1領域 60 及び第2領域 62 を形成するようにしても良い。

【0049】

また、本実施形態においては、駆動方法として3相駆動を例示したが、本発明は、4相駆動、あるいは、それ以上であっても良い。例えば、4相駆動の場合、1つの画素を構成する4本の転送電極のうち1本の転送電極下の領域に第1領域 60 が形成されても良いし、又は、図6に示すように、4本の転送電極のうちの2本の転送電極下の領域に形成されても良い。

【0050】

【発明の効果】

本発明の固体撮像素子及びその駆動方法によれば、横型オーバーフロードレイン構造において、分離領域に幅が狭い部分を設け、この部分から電荷の排出を行うことにより、電荷排出のためにドレイン領域に印加する電圧パルスを低電圧化することができ、素子の消費電力が低減される。その際、分離領域の他の部分は幅が広く構成されることにより、情報電荷がチャンネル領域から不用意に漏れ出すことが防止され、転送効率が確保される。

【図面の簡単な説明】

【図1】 本発明に係る横型オーバーフロードレイン構造を採用したフレーム転送方式のCCD固体撮像素子の撮像部又は蓄積部の一部を示す模式的な平面図である。

【図2】 本発明の実施形態に係るCCD固体撮像素子の横型オーバーフロードレイン部分の形成を説明するプロセスフロー図である。

【図3】 本発明の実施形態に係るCCD固体撮像素子の撮像部におけるブ

ルーミング抑制動作を説明するための垂直シフトレジスタでの電位分布図である。

【図 4】 図 3 の動作に対応したクロックパルス $\phi_1 \sim \phi_3$ 及びドレイン領域 5 4 に印加するドレイン電圧信号 V_{dr} のタイミング図である。

【図 5】 フレーム転送方式の C C D 固体撮像素子の概略の構成図である。

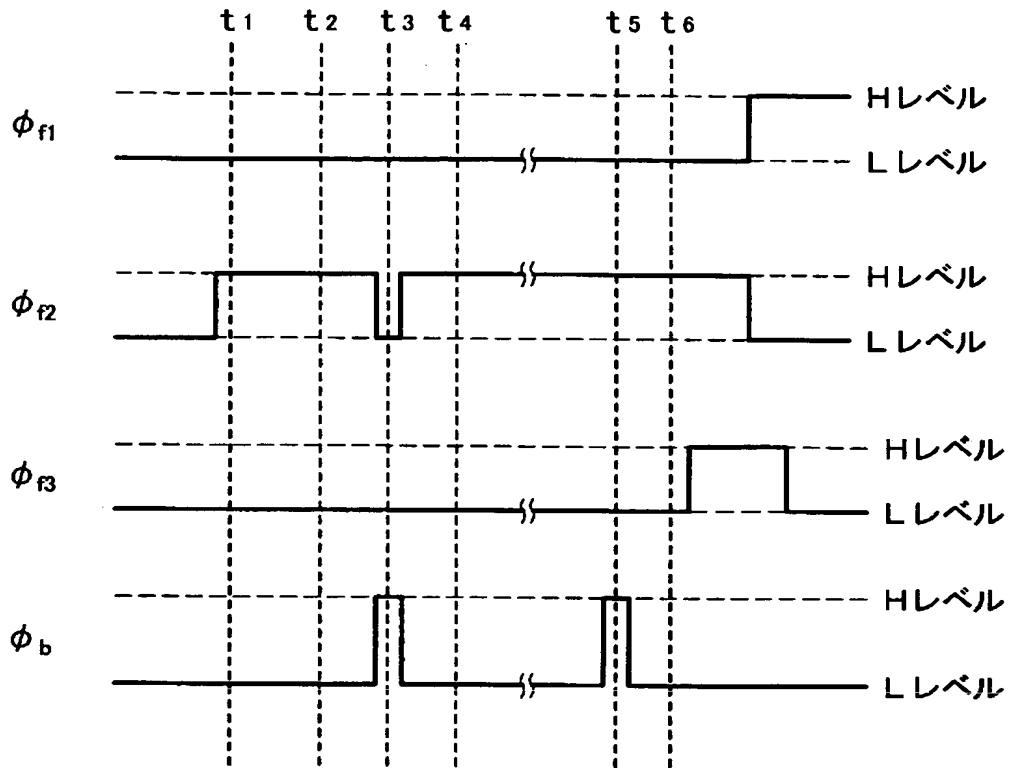
【図 6】 従来の横型オーバーフロードレイン構造を採用したフレーム転送方式の C C D 固体撮像素子の撮像部又は蓄積部の一部を示す模式的な平面図である。

【図 7】 横型オーバーフロードレインが設けられた垂直シフトレジスタの電荷転送方向に直交する方向の模式的な断面図及び、その断面に対応する部分での電位分布図を並べて示したものである。

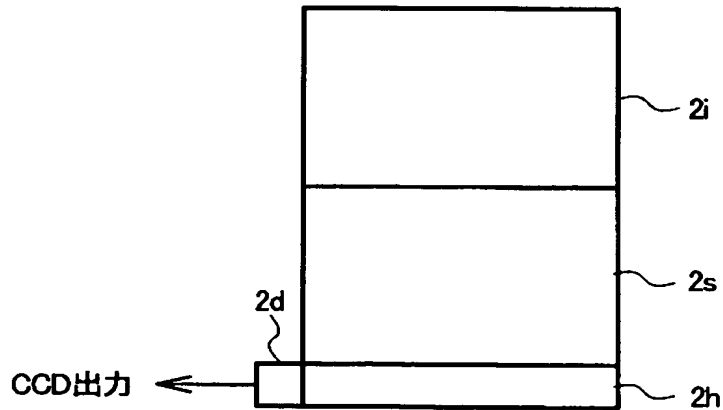
【符号の説明】

1 転送電極、5 0 チャンネル領域、5 4 ドレイン領域、5 6 分離領域、6 0 第 1 領域、6 2 第 2 領域、9 8 N ウェル、1 0 8 N⁺拡散層、1 1 0 P⁺拡散層。

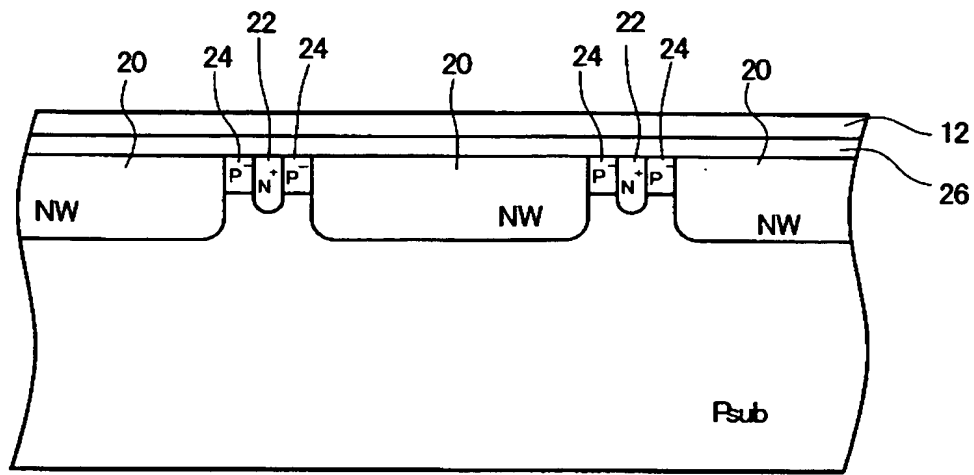
【図 4】



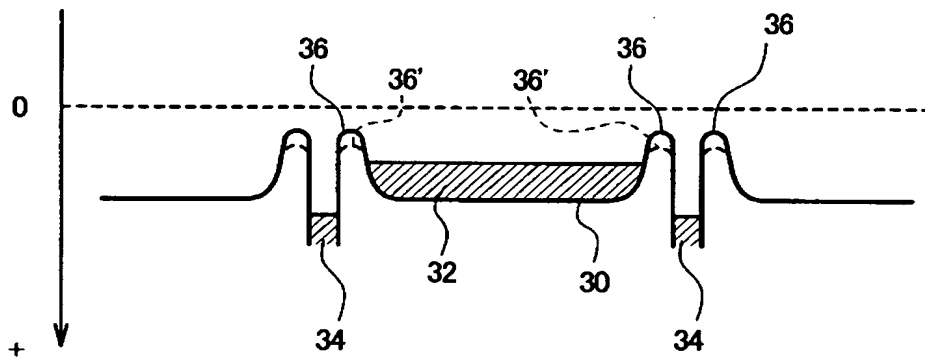
【図 5】



【図 7】



(a)



(b)

【書類名】 要約書

【要約】

【課題】 横型オーバーフロードレインを有する C C D 固体撮像素子において、ドレイン領域に印加する電圧パルスを低電圧化する。

【解決手段】 チャンネル領域 5 0 とドレイン領域 5 4 との間に設けられる分離領域 5 6 のうち電荷転送方向の一部分に幅の狭い第 1 領域 6 0 を設け、他の部分は相対的に幅の広い第 2 領域 6 2 とする。第 1 領域 6 0 に隣接した転送電極 1 2 -2 下に情報電荷が位置するタイミングで、ドレイン領域 5 4 に電圧パルスを印加し、分離領域 5 6 が形成するポテンシャル障壁を引き下げる。第 1 領域 6 0 ではパルスが低電圧でも、十分にポテンシャル障壁が引き下がり、不要電荷が排出される。一方、情報電荷が第 2 領域 6 2 に隣接するチャンネル領域 5 0 を通過する場合には、第 2 領域 6 2 のポテンシャル障壁がドレイン領域 5 4 への電荷の漏れ出しを防止し、転送効率が確保される。

【選択図】 図 1

特願 2 0 0 2 - 3 3 2 5 7 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

大阪府守口市京阪本通 2 丁目 1 8 番地

氏 名

三洋電機株式会社

2. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社